

PAT-NO: JP409162405A
DOCUMENT-IDENTIFIER: JP 09162405 A
TITLE: SEMICONDUCTOR DEVICE AND ITS
MANUFACTURE
PUBN-DATE: June 20, 1997

INVENTOR-INFORMATION:

NAME

YAMAZAKI, SHUNPEI
SAKAMA, MITSUNORI
MIYANAGA, SHOJI
SUMINO, SHINYA
NOGUCHI, TAKASHI

ASSIGNEE-INFORMATION:

NAME

SEMICONDUCTOR ENERGY LAB CO LTD

COUNTRY

N/A

APPL-NO: JP07344495

APPL-DATE: December 4, 1995

INT-CL (IPC): H01L029/786

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent the drift of alkaline metallic ions and heavy metallic ions by forming an insulating film on a glass board which has insulating surface, and making the insulating film in contact with glass of a film shown by SiO_xN_y .

SOLUTION: An SiON film 402 is made in the thickness of 500 μm to 1.5 μm as a base film (insulating film) on a glass board 401 having insulating surface. The film (hereinafter

abbreviated as SiON)
 shown by SiO_xN_y is 5.3-7.0eV in energy
 gap, and 4-6 in
 dielectric constant, and x and y fulfills $0 < x < 2$, and
 $0 < y < 4/3$. For the
 composition, it is necessary that N should be contained by
 $1 \times 10^{19} - 10^{21} \text{ cm}^{-3}$, and if H
 is contained by
 $1 \times 10^{20} - 10^{22} \text{ cm}^{-3}$, it
 terminates the uncoupled
 hands of a silicon film 403 constituting an active layer,
 and improves crystal
 property. For the SiON film having such composition, N
 (SiN coupling)
 contained in the film can prevent the drift of alkaline
 metal (Na, K, etc.)
 ions and heavy metal (Fe, Ni, Co, etc.) ions.

COPYRIGHT: (C)1997,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-162405

(43)公開日 平成9年(1997)6月20日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786			H 0 1 L 29/78	6 2 6 C

審査請求 未請求 請求項の数17 F D (全 10 頁)

(21)出願番号 特願平7-344495

(22)出願日 平成7年(1995)12月4日

(71)出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72)発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 坂間 光範

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 宮永 昭治

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

最終頁に続く

(54)【発明の名称】 半導体装置およびその作製方法

(57)【要約】

【目的】 信頼性の高いT F Tの作製方法を提供する。

【構成】 ゲイト絶縁型電解効果半導体装置において、
チャネル形成領域をSi O_x N_y からなる薄膜によって
囲み、ガラス基板や大気からの不純物の拡散を防止す
る。こうすることで、B T試験のような加速試験におい
ても高い信頼性が得られる。

【特許請求の範囲】

【請求項1】絶縁ゲイト型電界効果半導体装置であって、
絶縁表面を有するガラス基板上に形成された絶縁性薄膜を有し、

ガラスに接した前記絶縁性薄膜は SiO_xN_y で示される薄膜であることを特徴とする半導体装置。

【請求項2】請求項1において、前記 SiO_xN_y で示される薄膜の上には10～200 Åの薄い酸化珪素膜が形成されていることを特徴とする半導体装置。

【請求項3】請求項1または請求項2において、 SiO_xN_y で示される薄膜のエネルギーバンドギャップは5.3～7.0 eVであり、比誘電率は4～6であり、 x および y は、 $0 < x < 2$ 、 $0 < y < 4/3$ を満たすことを特徴とする半導体装置。

【請求項4】請求項1乃至請求項3において、 SiO_xN_y で示される薄膜中のNの量が $1 \times 10^{19} \sim 1 \times 10^{21} \text{cm}^{-3}$ であり、
Hの量が $1 \times 10^{20} \sim 1 \times 10^{22} \text{cm}^{-3}$ であることを特徴とする半導体装置。

【請求項5】絶縁ゲイト型電界効果半導体装置であって、
絶縁表面を有するガラス基板上に形成された SiO_xN_y で示される薄膜を有し、
前記 SiO_xN_y で示される薄膜上には10～200 Åの酸化珪素膜を有し、
前記酸化珪素膜上に活性層を構成する珪素膜を有することを特徴とする半導体装置。

【請求項6】絶縁ゲイト型電界効果半導体装置であって、
珪素膜で構成される活性層において、
該活性層のチャネル形成領域は、その下側および上側において SiO_xN_y で示される薄膜に囲まれていることを特徴とする半導体装置。

【請求項7】絶縁ゲイト型電界効果半導体装置であって、
珪素膜で構成される活性層を有し、
該活性層のチャネル形成領域はその下側および上側に接して10～200 Åの酸化珪素膜で囲まれ、
さらにその外側を SiO_xN_y で示される薄膜に囲まれていることを特徴とする半導体装置。

【請求項8】請求項5乃至請求項7において、 SiO_xN_y で示される薄膜のエネルギーバンドギャップは5.3～7.0 eVであり、比誘電率は4～6であり、 x および y は、 $0 < x < 2$ 、 $0 < y < 4/3$ を満たすことを特徴とする半導体装置。

【請求項9】請求項5乃至請求項8において、 SiO_xN_y で示される薄膜中のNの量が $1 \times 10^{19} \sim 1 \times 10^{21} \text{cm}^{-3}$ であり、
Hの量が $1 \times 10^{20} \sim 1 \times 10^{22} \text{cm}^{-3}$ であることを特徴

とする半導体装置。

【請求項10】絶縁ゲイト型電界効果半導体装置であって、
珪素膜で構成される活性層を有し、
該活性層に接して形成されたゲイト絶縁膜を有した構造において、
前記構造からなるチャネル形成領域はその下側および／または上側を SiO_xN_y で示される薄膜で囲まれていることを特徴とする半導体装置。

10 【請求項11】請求項10において、 SiO_xN_y で示される薄膜のエネルギーバンドギャップは5.3～7.0 eVであり、比誘電率は4～6であり、 x および y は、 $0 < x < 2$ 、 $0 < y < 4/3$ を満たすことを特徴とする半導体装置。

【請求項12】請求項10または請求項11において、 SiO_xN_y で示される薄膜中のNの量が $1 \times 10^{19} \sim 1 \times 10^{21} \text{cm}^{-3}$ であり、
Hの量が $1 \times 10^{20} \sim 1 \times 10^{22} \text{cm}^{-3}$ であることを特徴とする半導体装置。

20 【請求項13】絶縁ゲイト型電界効果半導体装置の作製方法であって、
絶縁表面を有するガラス基板上に絶縁性薄膜を形成する工程を有し、
ガラスに接した前記絶縁性薄膜は SiO_xN_y で示される薄膜であることを特徴とする半導体装置の作製方法。

【請求項14】請求項13において、 SiO_xN_y で示される薄膜のエネルギーバンドギャップは5.3～7.0 eVであり、比誘電率は4～6であり、 x および y は、 $0 < x < 2$ 、 $0 < y < 4/3$ を満たすことを特徴とする半導体装置の作製方法。

30 【請求項15】請求項13または請求項14において、 SiO_xN_y で示される薄膜中のNの量が $1 \times 10^{19} \sim 1 \times 10^{21} \text{cm}^{-3}$ であり、
Hの量が $1 \times 10^{20} \sim 1 \times 10^{22} \text{cm}^{-3}$ であることを特徴とする半導体装置の作製方法。

【請求項16】請求項13において、 SiO_xN_y で示される薄膜は、原料ガスとしてモノシラン(SiH_4)及び一酸化二窒素(N_2O)を用いることを特徴とする半導体装置の作製方法。

40 【請求項17】請求項13において、 SiO_xN_y で示される薄膜は、原料ガスとしてクロールシランまたはジクロールシランを用いることにより塩素を含有することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】
【0001】
【発明が属する技術分野】本明細書で開示する発明は、結晶性を有する薄膜半導体を用いた半導体装置の作製方法に関する。特に、薄膜トランジスタの作製方法に関する。

【0002】

【0003】

【0004】

【従来の技術】最近、安価なガラス基板上に薄膜トランジスタ(TFT)を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型液晶表示装置に関心が高まったことにある。

【0003】アクティブマトリクス型液晶表示装置は、マトリクス状に配置された数百万個の各画素のそれぞれにTFTを配置し、各画素電極に出入りする電荷をTFTのスイッチング機能により制御するものである。

【0004】また、さらに進んでこのマトリクス状に配置されたTFTを駆動する回路(周辺駆動回路と呼ばれる)を、同じガラス基板上にTFTで集積化する構造も関心を集めている。

【0005】画素部にマトリクス状に設置されたTFTは、その動作具合が液晶表示となって視覚的に確認できる。例えば、ノーマリブラックの液晶表示の場合、TFTが動作しない箇所は白色表示の際に、黒点となって現れる。

【0006】このように、TFTの動作不良は非常に外観を損ねるため、数百万個のTFTすべてに高い信頼性が要求される。特に、TFTの劣化の問題はいずれ動作不良を引き起こす原因となるため、各研究者らの間で様々な信頼性試験が行われている。

【0007】そのような信頼性試験の一つにBT試験がある。これは、いわゆる加速試験であり、TFTに対してプラス/マイナスのバイアス電圧と加熱を加えて、その劣化を加速させる試験である。

【0008】例えば、プラス/マイナスのバイアス電圧はゲート絶縁膜、ゲート絶縁膜/活性層界面、コンタクト部等の劣化を加速させる。また、加熱は可動イオンを活性化させたり、チャネル/ドレインの境界領域の劣化等を加速させる。

【0009】本出願人らは、このようなBT試験によるTFTの信頼性試験を重ねた結果、ガラス基板表面に形成する下地膜がTFTの信頼性に大きく影響することを突き止めた。

【0010】最近よく使用されているコーニングガラス等は、石英ガラスと異なりNaやK等の不純物を若干含有している。これらの不純物がTFTの活性層周辺に拡散すると、活性層/下地膜界面や活性層/ゲート絶縁膜界面に寄生チャネルを形成する。これらは、TFT動作時のリーク電流の増加を招く原因となる。また、これらの拡散した不純物はしきい値電圧をシフトさせる原因となる。

【0011】従って、一般的に作製されるTFTは、ガラス基板とデバイス本体との間に絶縁性薄膜をはさむ構造を採用している。この絶縁性被膜(以下、下地膜と呼ぶ)は、ガラス基板からの不純物の拡散を防ぐ効果と、下地膜上に堆積する薄膜との密着性を高める効果を求められている。

【0012】図1に示すのは、下地膜として、一般的に

知られるTEOS系酸化珪素膜(第1のTEOS膜)を用いたTFTをBT試験で調べた結果である。

【0013】BT試験は、評価対象となるTFTに+20Vの電圧印加と150℃の加熱を1時間同時に加える+BT試験と、-20Vの電圧印加と150℃の加熱を1時間同時に加える-BT試験とを行った。また、150℃1時間のベークのみの評価結果も付け加えた。

【0014】前述の様なBT試験を施すと、+BT試験、-BT試験ともにしきい値電圧のシフトが確認された。特に、-BT試験において著しく、かなり劣化が進んだことが窺われる。

【0015】さらに、-BT試験においてはオン領域(TFTがオン状態となっている領域)でのドレイン電流 I_d の立ち上がりが悪く、活性層/ゲート絶縁膜界面の状態が悪い(サブスレッショルド係数 S が大きい)ことが確認できる。

【0016】また、150℃1時間のベークを施しただけでも劣化することが確認された。これは、可動イオンが下地膜中を移動したためと考えられる。

【0017】次に、図2に示すのは、図1と同様にTEOS系酸化珪素膜(第2のTEOS膜)を用いたTFTをBT試験で調べた結果である。ただし、この酸化珪素膜は成膜条件を変えることにより、より緻密な膜となっている。

【0018】しかし、図2の様に、しきい値電圧のシフトや活性層/ゲート絶縁膜界面の悪化は改善できず、膜質を緻密にしてみてもTFTの信頼性を改善することは出来なかった。

【0019】また、本出願人らは下地膜として不純物のブロッキング効果の高い窒化珪素膜を使用してみたが、ガラス基板との応力歪みが大きく、かつ、ガラス基板との密着性が悪いため、膜が剥がれる等の問題により採用することは出来なかった。また、窒化珪素膜はSiクラスタが電荷捕獲中心となるので、BT試験においてしきい値のドリフトを著しく左右してしまうという問題もあった。

【0020】以上のことから、300~750℃、代表的には300~650℃の温度範囲の処理で作製されるTFTにおいては、ガラス基板との密着性がよく、信頼性の高い下地膜が要求される。

【0021】

【発明が解決しようとする課題】本明細書で開示する発明は、上記の問題を解決してガラス基板からの不純物の拡散を防ぎ、TFTに高い信頼性を与える下地膜を形成する技術を提供する。また、さらにゲート絶縁膜や層間絶縁膜に、周囲からの汚染を防ぐ保護膜的な役割を与えてTFTの最重要部位であるチャネル形成領域を保護することを課題とする。

【0022】

【課題を解決するための手段】

【0023】本明細書で開示する発明の一つは、絶縁ゲイト型電界効果半導体装置であって、絶縁表面を有するガラス基板上に形成された絶縁性薄膜を有し、前記絶縁性薄膜は SiO_xN_y で示される薄膜であることを特徴とする。

【0024】上記 SiO_xN_y で示される薄膜（以下、 SiON 膜と略記する）は、そのエネルギーバンドギャップが5.3～7.0 eVであり、比誘電率が4～6であり、 x および y は、 $0 < x < 2$ 、 $0 < y < 4/3$ を満たすことを特徴とするものである。

【0025】上記 x および y は、作製条件によって変更が可能であり、実施状態にあわせて設定すれば良い。またその組成は、 N が $1 \times 10^{19} \sim 1 \times 10^{21} \text{cm}^{-3}$ 含まれることが必要である。また、 H が $1 \times 10^{20} \sim 1 \times 10^{22} \text{cm}^{-3}$ 含まれると、活性層を構成する珪素膜の未結合手を終端し、結晶性を良くするのに都合がよい。

【0026】また、 SiON 膜を形成する際に原料ガスとしてクロールシラン、またはジクロールシランを用いれば、膜中に塩素を添加することも可能である。

【0027】上記のような組成を持つ SiON 膜は、膜中に含有されている N （ SiN 結合）が、アルカリ金属（ Na 、 K など）イオンや重金属（ Fe 、 Ni 、 Co など）イオンのドリフトを防ぎ、不純物がガラス基板からデバイスへ外拡散（*outdiffusion*）するのを抑える。また、塩素は Na イオンや Fe イオンを NaCl や FeCl として中和する効果を持つ。

【0028】勿論、この技術はガラス基板上に薄膜デバイスを形成するすべての場合において応用可能である。

【0029】ここで、下地膜として SiON 膜を用いた場合のBT試験の結果を図3に示す。TFT特性の測定方法は図1～3を通じて同じである。

【0030】下地膜として TEOS 系酸化珪素膜を用いた図1や図2の場合と比較すると、図3で示す SiON 膜を用いた場合の結果から、明らかにしきい値のシフトが改善されていることが確認できる。

【0031】また、BT試験の結果を見るとサブスレッショルド係数 S が小さく、活性層/ゲイト絶縁膜界面の状態も良好であることが確認できる。

【0032】なお、下地 SiON 膜と活性層を構成する珪素膜との間に10～200 Åの薄い酸化珪素膜層を設けることで下地膜と珪素膜の密着性を大幅に改善できる。

【0033】本明細書で開示する他の発明は、絶縁ゲイト型電界効果半導体装置であって、珪素膜で構成される活性層において、該活性層のチャネル形成領域は、その下側および上側において SiO_xN_y で示される薄膜に囲まれていることを特徴とする。

【0034】チャネル形成領域が、その下側および/または上側で SiO_xN_y で示される薄膜に接しているとは、プレーナ型やスタガー型TFTの場合において、下地膜とゲイト絶縁膜が SiON 膜で形成されていると

いうことである。

【0035】本発明で利用する SiON 膜はいわゆる酸化珪素膜であるから、使用用途は下地膜に限ったものではない。例えば、 SiON 膜をゲイト絶縁膜として用いた場合の効果として、以下のことが本出願人らによって明らかにされている。

【0036】（1）静電気によって静電破壊しにくいこと

（2）その内部に電荷捕獲中心が存在しにくいこと

10 （3）活性層中のイオンがゲイト絶縁膜中に拡散しにくいこと

（4）金属材料成分を含んだゲイト電極から、金属成分が拡散しにくいこと

【0037】従って、下地膜およびゲイト絶縁膜によってチャネル形成領域を挟み込む構造は、TFTの信頼性を高める意味で極めて有用である。

【0038】特に、下地膜表面と活性層表面に10～200 Åの薄い酸化珪素膜を形成してチャネル形成領域を酸化珪素膜で包み、それをさらに SiON 膜からなる下地膜およびゲイト絶縁膜で挟み込む構造が効果的である。

【0039】そうすることで、活性層/ゲイト絶縁膜界面の状態が改善されるためTFTのしきい値が0V付近となり、 $n\text{-ch}/p\text{-ch}$ TFTをノーマリオフとすることができる。

【0040】本明細書で開示する他の発明は、絶縁ゲイト型電界効果半導体装置であって、珪素膜で構成される活性層を有し、該活性層に接して形成されたゲイト絶縁膜を有した構造において、前記構造からなるチャネル形成領域はその下側および/または上側を SiO_xN_y で示される薄膜で囲まれていることを特徴とする。

【0041】本発明の主旨は、プレーナ型、逆プレーナ型、スタガー型、逆スタガー型TFTの場合において、ゲイト絶縁膜を含めたチャネル形成領域が下地膜と層間絶縁膜によって囲まれているということである。

【0042】すなわち、TFTの最重要部位であるチャネル形成領域を外部より侵入してくる不純物から保護することを目的としている。

【0043】

【作用】本発明によれば、 SiON 膜中に含有されている N （ SiN 結合）が、アルカリ金属（ Na 、 K など）イオンや重金属（ Fe 、 Ni 、 Co など）イオンのドリフトを防ぎ、不純物が外部からデバイスへ拡散するのを抑える役目を果たす。

【0044】すなわち、BT試験のような加速試験にも耐えうる高い信頼性を持つTFTを作製することが可能となる。

【0045】

【実施例】

〔実施例1〕本実施例は、下地膜として SiON 膜を用いた薄膜トランジスタ（TFT）の作製工程に関する。

本発明を利用したTFTの作製工程を図4に示す。

【0046】まず、絶縁性表面を有するガラス基板401を用意する。ガラス基板としては、コーニング製7059や同1737基板が代表的である。勿論、石英基板でも差し支えない。本実施例では、コーニング製7059基板を使用する。

【0047】次に、下地膜402としてSiON膜を500Å～1.5μmの厚さに形成する。最適化を考えると500Å以下でよいが、信頼性を考慮して、1000～5000Åの膜厚が望ましい。

【0048】このSiON膜の成膜条件は、次の通りである。

*RFパワー 200W
ガス流量 SiH₄:10SCCM N₂O: 200SCCM
ガス圧力 0.3torr
成膜温度 350～400℃
電極間距離 25mm(平行平板型の場合)
成膜レート 1000Å/min

【0049】この条件で形成されたSiON膜は成膜スピードが速く、かつ、エッチングレートが小さいのが特徴である。他のTEOS系酸化珪素膜と比較した結果を表1に示す。

【0050】

【表1】

下地膜の種類	成膜スピード(Å/min)	エッチングレート(Å/min)
第1のTEOS膜	～1200	4500～4600
第2のTEOS膜	～150	1900～2000
SiON膜	～1000	900～1000
酸化珪素膜	～150	800～900

【0051】成膜スピードが速いということはスループットが良いということであり、エッチングレートが小さいということは膜質が緻密であるということである。従って、成膜スピードが速く、かつ、エッチングレートが小さいという点でSiON膜が最も優れていることが理解できる。

【0052】なお、本実施例では下地膜402の形成を高周波(13.56MHz)を印加するプラズマCVD法によったが、他にもLPCVD法、光CVD法、パルス波形を印加するプラズマCVD法等の気相法を用いることができる。

【0053】次に下地膜402の表面に薄い酸化珪素膜403を形成するのであるが、この酸化珪素膜403は下地膜402の形成から連続的に形成することができる。

【0054】本実施例では、下地膜402を形成する際に最後の1～10秒間だけ原料ガスにO₂を添加する。O₂の添加量はN₂Oの1～20%となるように調整する。すると、プラズマ中においてはSiとO₂の反応が速いため、下地膜の表面近傍には10～200Åの薄い酸化珪素膜403が形成される。

【0055】また、薄い酸化珪素膜403の形成は、下地膜402を形成した後にO₂プラズマによる処理を行う方法によっても良い。

【0056】このようにして形成された薄い酸化珪素膜※50

※403は、後に下地膜402の上に形成される珪素膜との密着性を高める効果を付与する。

【0057】次に、図示しない500Åの厚さの非晶質珪素膜をプラズマCVD法や減圧熱CVD法により形成し、適当な結晶化方法により結晶化する。この結晶化は加熱によっても、レーザー光の照射によっても良い。

【0058】次に、前記非晶質珪素膜を結晶化して得られた結晶性珪素膜をパターニングして、活性層を構成する島状の半導体層404を形成する。

【0059】次に、島状の半導体層404に対して以下の条件によるプラズマ処理を行い、薄い酸化珪素膜405を形成する。

RFパワー 200W
ガス流量 H₂:100SCCM O₂: 100SCCM
ガス圧力 0.3torr
処理温度 350～400℃
電極間距離 25mm(平行平板型の場合)
処理時間 10sec～5min

【0060】H₂とO₂は別々に用いても良く、先にH₂でプラズマ処理を行って、その後にO₂によるプラズマ処理を行っても良い。また、その逆であっても良い。

【0061】このプラズマ処理により島状の半導体層404の表面がクリーニングされる。そして、活性層/ゲイト絶縁膜界面には清浄な状態で形成された薄い酸化珪素膜層が存在するため界面準位が大幅に低減される。そ

のため、TFTのしきい値が0V付近となりp-ch/n-chTFTともにノーマリオフとすることができる。

【0062】さらに、活性層/ゲイト絶縁膜界面のC(カーボン)の量を1桁減少することができるため、TFTのしきい値の変動が小さくなり、液晶表示装置の画素部に使用した場合の表示ムラを抑えることができる。

【0063】また、H₂プラズマにより活性層内の未結合手が水素終端されるため活性層の結晶性が向上する。

【0064】次に、後にゲイト絶縁膜として機能する酸化珪素膜406を1500Åの厚さに形成する。このゲイト絶縁膜406はSiON膜や窒化珪素膜であっても良いが、信頼性をより高めるためにはSiON膜を用いるのが望ましい。

【0065】ゲイト絶縁膜406としてSiON膜を用いるのであれば、下地膜と同じ成膜条件で形成すれば良い。

【0066】次に、アルミニウムまたはアルミニウムを主成分とする材料からなる膜407を4000Åの厚さに形成する。このアルミニウム膜407は、後にゲイト電極として機能する。

【0067】次に、電解溶液中でアルミニウム膜407を陽極として、陽極酸化を行う。電解溶液としては、3%の酒石酸のエチレングリコール溶液をアンモニア水で中和して、PH=6.92に調整したものを使用する。また、白金を陰極として化成電流5mA、到達電圧10Vとして処理する。

【0068】こうして形成される緻密な陽極酸化膜408は、後にフォトレジストとの密着性を高める効果がある。また、電圧印加時間を制御することで陽極酸化膜408の厚さを制御できる。(図4(A))

【0069】こうして、図4(A)の状態が得られたら、アルミニウム膜407をバターニングして、図示しないゲイト電極を形成する。

【0070】次に、2度目の陽極酸化を行い、多孔質の陽極酸化膜409を形成する。電解溶液は3%のシュウ酸水溶液とし、白金を陰極として化成電流2~3mA、到達電圧8Vとして処理する。

【0071】この時陽極酸化は基板に対して平行な方向に進行する。また、電圧印加時間を制御することで多孔質の陽極酸化膜409の長さを制御できる。

【0072】さらに、専用の剥離液でフォトレジストを除去した後、3度目の陽極酸化を行い、図4(B)の状態を得る。

【0073】この時、電解溶液は3%の酒石酸のエチレングリコール溶液をアンモニア水で中和して、PH=6.92に調整したものを使用する。そして、白金を陰極として化成電流5~6mA、到達電圧100Vとして処理する。

【0074】この際形成される陽極酸化膜410は、非

常に緻密、かつ、強固である。そのため、ドーピング工程などの後工程で生じるダメージからゲイト電極411を保護する効果を持つ。

【0075】次に、イオンドーピング法により、島状の半導体層405に不純物を注入する。Nチャネル型TFTを作製するならば不純物としてP(リン)を、Pチャネル型TFTを作製するならば不純物としてB(ホウ素)を用いる。

【0076】例えば、P(リン)の注入は加速電圧60~90kV、ドーズ量0.2~5×10¹⁵原子/cm²で行う。本実施例では、P(リン)の注入を加速電圧80kV、ドーズ量1×10¹⁵原子/cm²で行う。

【0077】すると、ゲイト電極411、多孔質の陽極酸化膜409がマスクとなり、後にソース/ドレインとなる領域412、413が自己整合的に形成される。

【0078】次に、図1(C)に示す様に、多孔質の陽極酸化膜409を除去して、2度目のドーピングを行う。なお、2度目のP(リン)の注入は加速電圧60~90kV、ドーズ量0.1~5×10¹⁴原子/cm²で行う。本実施例では、加速電圧80kV、ドーズ量1×10¹⁴原子/cm²とする。

【0079】すると、ゲイト電極411がマスクとなり、ソース領域412、ドレイン領域413と比較して不純物濃度の低い、低濃度不純物領域414、415が自己整合的に形成される。

【0080】同時に、ゲイト電極411の直下は不純物が全く注入されないため、TFTのチャネルとして機能する領域416が自己整合的に形成される。

【0081】このようにして形成される低濃度不純物領域(またはLDD領域)415は、チャネル領域416とドレイン領域413との間に高電界が形成されるのを抑制する効果を持つ。

【0082】次に、KrFエキシマレーザーを200~300mJ/cm²のエネルギー密度で照射することによって、イオン注入されたP(リン)の活性化を行う。また、活性化は300~450℃2hrの熱アニールによっても良いし、レーザーアニールと熱アニールを併用しても良い。

【0083】次に、図4(D)に示す様に、層間絶縁膜417として酸化珪素膜をプラズマCVD法により1μmの厚さに形成する。勿論、窒化珪素膜や有機性樹脂等の他の絶縁性被膜を用いても良い。

【0084】次に、コンタクトホールを形成する。手順としてはまず、層間絶縁膜417をバッファーフッ酸を用いて開孔し、そのままバッファーフッ酸でゲイト絶縁膜406をエッチングして、ソース/ドレイン部コンタクトホールを完成させる。

【0085】次いで、クロム酸、酢酸、磷酸、硝酸を混合した組成からなるクロム混酸溶液を用いて陽極酸化膜410をエッチングして、ゲイト電極部コンタクトホールを完成させる。

【0086】このように、ゲイト絶縁膜406のエッチングを先に行えば、陽極酸化膜410は耐バッファーフッ酸性に優れているため、ゲイト電極411を保護することができる。また、クロム混酸溶液はソース領域412、ドレイン領域413の表面を殆どエッチングしない。

【0087】コンタクトホール形成が終了したら、配線電極418、419、420を形成して、水素雰囲気中で350℃2hrのアニール処理を行う。

【0088】以上の工程を経て、図4(D)に示す薄膜トランジスタが作製される。

【0089】図4(D)に示すTFTは、SiON膜を下地膜として用いることで、アルカリ金属(Na、Kなど)イオンや重金属(Fe、Ni、Coなど)イオンのドリフトを防ぎ、不純物がガラス基板からデバイスへ拡散するのを抑えることができる。

【0090】また、下地膜402の表面に薄い酸化珪素膜403を形成したことで、下地膜402と島状の半導体層404との密着性が向上した。

【0091】また、島状の半導体層404の表面に薄い酸化珪素膜405を形成したことで活性層/ゲイト絶縁膜界面の状態が改善され、TFTのしきい値が0V付近となり、p-ch/n-ch TFTともにノーマリオフとすることができた。さらに、SIMS分析の結果、活性層/ゲイト絶縁膜界面のC(カーボン)の量を1桁減少させることが確認できた。そのため、TFTのしきい値の変動が小さくなり、液晶表示装置の画素部に使用した場合の表示ムラを抑えることができた。

【0092】〔実施例2〕本実施例は、半導体層とゲイト絶縁膜をSiON膜で挟み込んだ構造の薄膜トランジスタ(TFT)の作製工程に関する。本実施例によるTFTの作製工程は実施例1と同様であるので図4を参考にして説明する。

【0093】まず、絶縁性表面を有するガラス基板401を用意する。本実施例では、コーニング製7059や同1737基板を使用する。

【0094】次に、下地膜402としてSiONを2000Åの厚さに形成する。このSiON膜の成膜条件は、実施例1に詳細に説明したのでここでは省略する。

【0095】その上に、図示しない500Åの厚さの非晶質珪素膜をプラズマCVD法や減圧熱CVD法により形成し、適当な結晶化方法により結晶化する。この結晶化は加熱によっても、レーザー光の照射によっても良い。

【0096】次に、前記非晶質珪素膜を結晶化して得られた結晶性珪素膜をパターニングして、活性層を構成する島状の半導体層403を形成する。

【0097】その上に、後にゲイト絶縁膜として機能する酸化珪素膜404を1500Åの厚さに形成する。このゲイト絶縁膜404はSiON膜や窒化珪素膜であつ

ても良いが、信頼性をより高めるためにはSiON膜を用いるのが望ましい。

【0098】ゲイト絶縁膜404としてSiON膜を用いるのであれば、下地膜と同じ成膜条件で形成すれば良い。

【0099】続いて、実施例1と同様の工程により、図4(C)の状態を得る。

【0100】次に、図4(D)に示す様に、層間絶縁膜415としてSiON膜を1μmの厚さに形成する。成膜条件は、実施例1に示した下地SiON膜の成膜条件と同様である。

【0101】続いて、実施例1と同様の工程により、図4(D)に示すような薄膜トランジスタが作製される。

【0102】本実施例により作製されたTFTは、ガラス基板からの不純物を抑えるだけでなく、大気中からの不純物をも防止する効果を持つ。

【0103】〔実施例3〕本実施例は、実施例1及び2においてゲイト電極として多結晶珪素膜を用いたTFTの作製工程に関する。本発明を利用した薄膜トランジスタ(TFT)の作製工程を図5に示す。

【0104】まず、絶縁性表面を有するガラス基板501を用意する。本実施例では、コーニング製7059や同1737基板を使用する。

【0105】次に、下地膜502としてSiONを2000Åの厚さに形成する。このSiON膜の成膜条件は、実施例1で詳細に示したのでここでは省略する。

【0106】その上に、図示しない500Åの厚さの非晶質珪素膜をプラズマCVD法や減圧熱CVD法により形成し、適当な結晶化方法により結晶化する。この結晶化は加熱によっても、レーザー光の照射によっても良い。

【0107】次に、前記非晶質珪素膜を結晶化して得られた結晶性珪素膜をパターニングして、活性層を構成する島状の半導体層503を形成する。

【0108】その上に、後にゲイト絶縁膜として機能するSiON膜504を1500Åの厚さに形成する。このゲイト絶縁膜504の形成方法は、前述の下地SiON膜502の成膜条件と同様である。

【0109】次に、多結晶珪素膜505を熱CVD法により4000Åの厚さに形成する。この多結晶珪素膜は成膜時に予め導電性を持つようにP(リン)を $1 \times 10^{20} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の濃度となるように添加してある。図5(A)

【0110】次いで、この多結晶珪素膜505をパターニングして、 $\text{CF}_4 + \text{O}_2$ 系ガスによるプラズマエッチングを行う。この等方性エッチングにおいては、ゲイト絶縁膜504との選択比は10程度である。

【0111】この等方性エッチングは、多結晶珪素膜505を横方向に0.1~1.0μm削るまで続ける。ただし、ゲイト絶縁膜504も徐々にエッチングされること

を考慮しておく必要がある。

【0112】こうして、図5(B)に示す様な、ゲイト電極として機能する多結晶珪素膜507が形成される。その際、マスクとして用いたフォトレジスト506は次の工程で活用するので残しておく。

【0113】次に、イオンドーピング法により、島状の半導体層503に不純物を注入する。Nチャネル型TFTを作製するならば不純物としてP(リン)を、Pチャネル型TFTを作製するならば不純物としてB(ホウ素)を用いる。

【0114】例えば、P(リン)の注入は加速電圧60～90kV、ドーズ量 $0.2 \sim 5 \times 10^{15}$ 原子/cm²で行う。本実施例では、P(リン)の注入を加速電圧80kV、ドーズ量 1×10^{15} 原子/cm²で行う。

【0115】すると、フォトレジスト506がマスクとなり、後にソース/ドレインとなる領域508、509が自己整合的に形成される。

【0116】次に、図5(C)に示す様に、フォトレジスト506を除去して、2度目のドーピングを行う。なお、2度目のP(リン)の注入は加速電圧60～90kV、ドーズ量 $0.1 \sim 5 \times 10^{14}$ 原子/cm²で行う。本実施例では、加速電圧80kV、ドーズ量 1×10^{14} 原子/cm²とする。

【0117】すると、ゲイト電極507がマスクとなり、ソース領域508、ドレイン領域509と比較して不純物濃度の低い、低濃度不純物領域510、511が自己整合的に形成される。

【0118】同時に、ゲイト電極507の直下は不純物が全く注入されないため、TFTのチャネルとして機能する領域512が自己整合的に形成される。

【0119】このようにして形成される低濃度不純物領域(またはLDD領域)511は、チャネル領域512とドレイン領域509との間に高電界が形成されるのを抑制する効果を持つ。

【0120】次に、図5(D)に示す様に、層間絶縁膜513として酸化珪素膜をプラズマCVD法により1μmの厚さに形成する。この際、層間絶縁膜513としてSiON膜を用いればさらに効果的である。勿論、窒化珪素、有機性樹脂等の他の絶縁性被膜を用いても構わない。

【0121】次に、コンタクトホールを形成して、配線電極514、515、516を形成する。そして、水素雰囲気中で350℃2hrのアニール処理を行い、図5(D)に示すようなTFTが完成する。

【0122】

【発明の効果】下地膜としてSiON膜を用いることにより、アルカリ金属(Na、Kなど)イオンや重金属(Fe、Ni、Coなど)イオンのドリフトが防がれ、不純物がガラス基板からデバイスへ拡散するのを抑える

ことができた。

【0123】また、下地膜402の表面に薄い酸化珪素膜403を形成したことで、下地膜402と島状の半導体層404との密着性が向上した。

【0124】また、島状の半導体層404の表面に薄い酸化珪素膜405を形成したことで活性層/ゲイト絶縁膜界面の状態が改善され、TFTのしきい値が0V付近となり、p-ch/n-chTFTともにノーマリオフとすることができた。また、この工程中に水素終端されるため活性層の結晶性が向上した。

【0125】さらに、島状の半導体層404の表面に薄い酸化珪素膜405を形成したことで活性層/ゲイト絶縁膜界面のC(カーボン)の量が1桁減少することが判明した。そのため、TFTのしきい値の変動が小さくなり、液晶表示装置の画素部に使用した場合の表示ムラを抑えることができた。

【0126】また、チャネル形成領域をSiON膜で包み込むことにより、大気中からの不純物をも防ぐことができることが確認された。

【0127】本発明によるこれらの改善策によって、BT試験のような加速試験にも耐えうる高い信頼性を持つTFTを作製することが可能となった。

【図面の簡単な説明】

【図1】 BT試験の結果を示す図

【図2】 BT試験の結果を示す図

【図3】 BT試験の結果を示す図

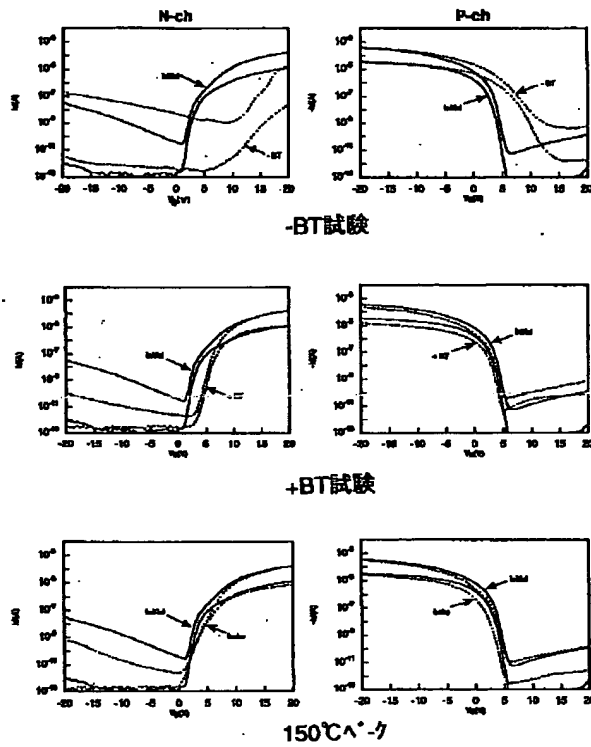
【図4】 TFTの作製工程を示す図

【図5】 TFTの作製工程を示す図

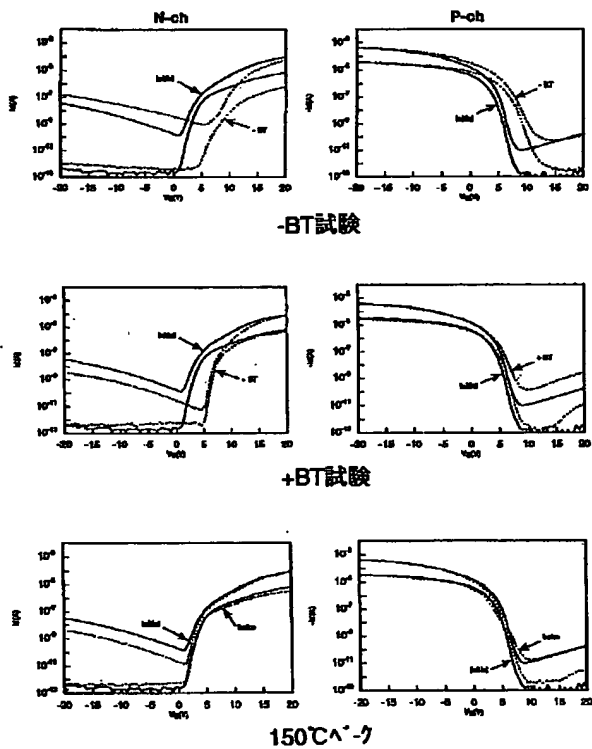
【符号の説明】

30	401	ガラス基板
	402	下地膜
	403	薄い酸化珪素膜
	404	島状の半導体層
	405	薄い酸化珪素膜
	406	ゲイト絶縁膜
	407	アルミニウム膜
	408	緻密な陽極酸化膜
	409	多孔質の陽極酸化膜
	410	強固な陽極酸化膜
40	411	ゲイト電極
	412	ソース領域
	413	ドレイン領域
	414	低濃度不純物領域
	415	低濃度不純物領域
	416	チャネル領域
	417	層間絶縁膜
	418	配線電極
	419	配線電極
	420	配線電極

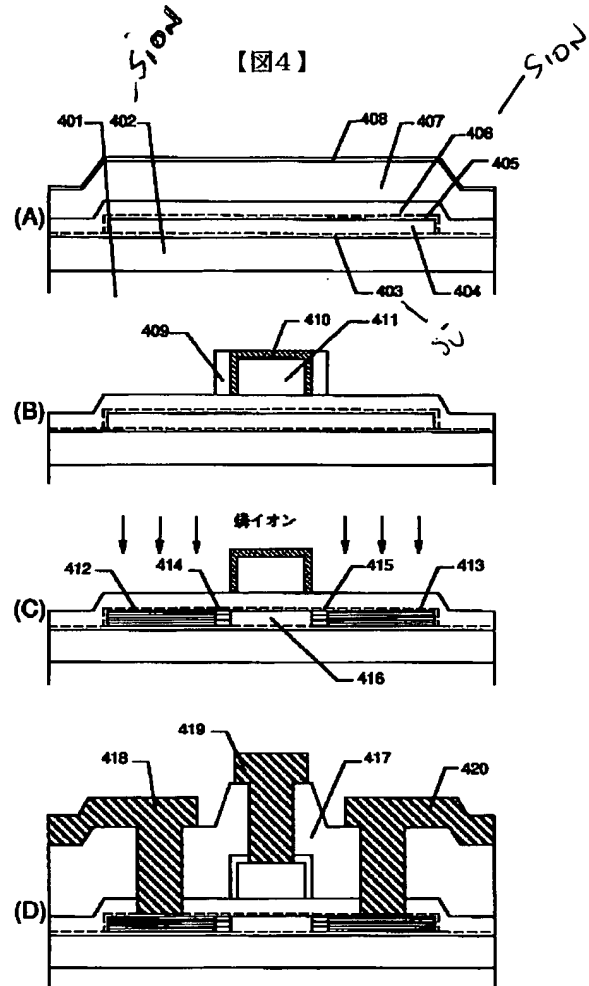
【図1】



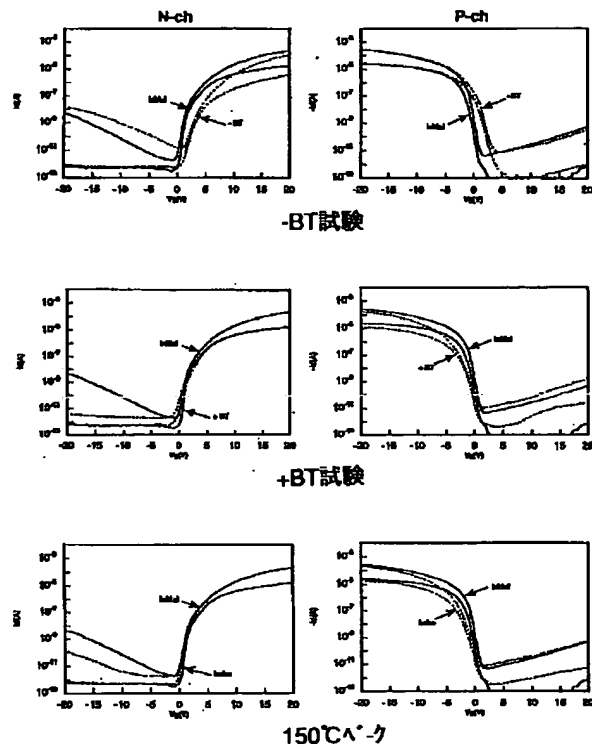
【図2】



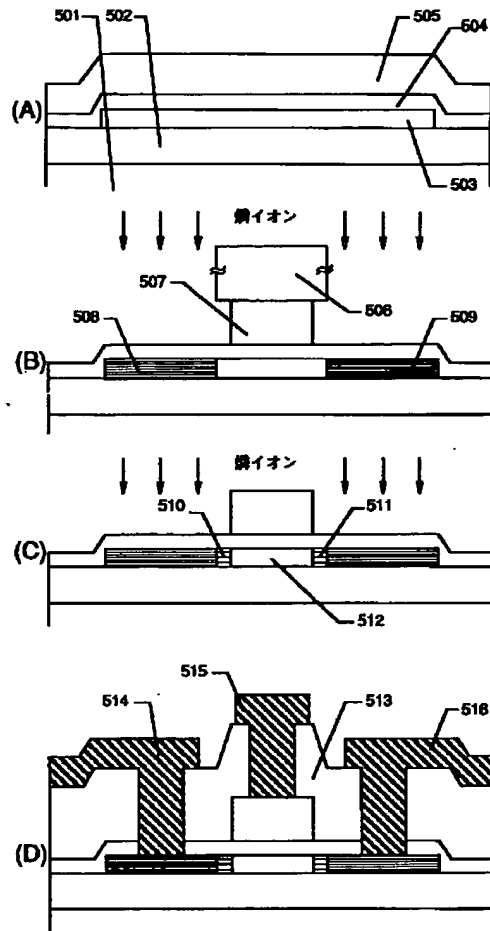
【図4】



【図3】



【図5】



フロントページの続き

(72)発明者 角野 真也
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 野口 崇
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing showing the result of a BT test

[Drawing 2] Drawing showing the result of a BT test

[Drawing 3] Drawing showing the result of a BT test

[Drawing 4] Drawing showing the production process of TFT

[Drawing 5] Drawing showing the production process of TFT

[Description of Notations]

401 Glass Substrate

402 Ground Film

403 Thin Oxidization Silicon Film

404 Island-like Semiconductor Layer

405 Thin Oxidization Silicon Film

406 Gate Insulator Layer

407 Aluminum Film

408 Precise Oxide Film on Anode

409 Porous Oxide Film on Anode

410 Firm Oxide Film on Anode

411 Gate Electrode

412 Source Field

413 Drain Field

414 Low Concentration Impurity Range

415 Low Concentration Impurity Range

416 Channel Field

417 Layer Insulation Film

418 Wiring Electrode

419 Wiring Electrode

420 Wiring Electrode

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Invention indicated on these specifications relates to the production method of the semiconductor device using the thin film semiconductor which has crystallinity. Especially, it is related with the production method of TFT.

[0002]

[Description of the Prior Art] The technology which produces TFT (TFT) on a cheap glass substrate recently is progressing quickly. It is [the] reasonable in the interest having increased in active matrix liquid crystal display.

[0003] Active matrix liquid crystal display arranges TFT to each of each millions of pixel arranged in the shape of a matrix, and controls the charge which frequents each pixel electrode by the switching function of TFT.

[0004] Furthermore, the structure of integrating the circuit (called a circumference drive circuit) which drives TFT which progressed and has been arranged in the shape of [this] a matrix by TFT on the same glass substrate also attracts the interest.

[0005] The condition of operation serves as a liquid crystal display, and TFT installed in the pixel section in the shape of a matrix can be checked visually. For example, in the case of the liquid crystal display of a normally black, in the case of a white display, the part where TFT does not operate serves as a sunspot, and appears.

[0006] Thus, since the malfunction of TFT spoils appearance very much, high reliability is required of all millions of TFT. Since especially the problem of degradation of TFT becomes the cause which causes a malfunction someday, various reliability trials are performed among each researchers.

[0007] A BT test is in one of such the reliability trials. This is the so-called accelerated test and is an examination which the bias voltage of plus/minus and heating are added [examination] to TFT, and accelerates the degradation.

[0008] For example, the bias voltage of plus/minus accelerates degradation of a gate insulator layer, a gate insulator layer / barrier-layer interface, the contact section, etc. Moreover, heating activates a movable ion or accelerates degradation of the border area of a channel/drain etc.

[0009] These people traced that the ground film formed in a glass-substrate front face influenced the reliability of TFT greatly, as a result of piling up the reliability trial of TFT by such BT test.

[0010] Unlike quartz glass, the Corning glass often used recently contains impurities, such as Na and K, a little. A parasitism channel will be formed in a barrier layer / ground film interface, or a barrier layer / gate insulator layer interface if these impurities are spread on the outskirts of a barrier layer of TFT. These become the cause which causes the increase in the leakage current at the time of TFT operation. Moreover, these diffused impurities become the cause which shifts threshold voltage.

[0011] Therefore, the crowded structure which sandwiches an insulating thin film between a glass substrate and a device main part is used for TFT generally produced. This insulating coat (it is hereafter called a ground film) is asked for the effect which prevents diffusion of the impurity from a glass substrate, and the effect which raises adhesion with the thin film deposited on a ground film.

[0012] As a result of investigating TFT using the TEOS system oxidization silicon film (1st TEOS film) generally known by the BT test as a ground film, it is shown in drawing 1 .

[0013] The BT test performed voltage impression of +20V, + BT test which adds 150-degree C heating simultaneously for 1 hour, and voltage impression of -20V and - BT test which adds 150-degree C heating simultaneously for 1 hour to TFT used as the candidate for evaluation. Moreover, the evaluation result of only 150-degree-C BEKU of 1 hour was also added.

[0014] When the above BT tests were given, the shift of threshold voltage was checked for + BT test and - BT test. Especially, in - BT test, it is remarkable, and that degradation progressed considerably hears.

[0015] Furthermore, in - BT test, the standup of the drain current I_d in an ON field (field where TFT is an ON state) is bad, and a thing with the bad (the sub threshold level coefficient S is large) state of a barrier layer / gate insulator layer interface can be checked.

[0016] Moreover, it was also checked that having given 150-degree-C BEKU of 1 hour deteriorates. This is considered because the movable ion moved in the inside of a ground film.

[0017] Next, as a result of investigating TFT using the TEOS system oxidization silicon film (2nd TEOS film) by the BT test like drawing 1 , it is shown in drawing 2 . However, this oxidization silicon film is a more precise film by changing membrane formation conditions.

[0018] However, like drawing 2, neither the shift of threshold voltage nor aggravation of a barrier layer / gate insulator layer interface has improved, and even if it made membrane quality precise, the reliability of TFT is not improvable.

[0019] moreover, although these people used the high silicon nitride film of the blocking effect of an impurity as a ground film, since adhesion with a glass substrate was bad, it was not employable greatly [the stress distortion by the glass substrate] with the problem which is that a film separates etc. Moreover, since Si cluster became a charge trapping center, the silicon nitride film also had the problem of influencing the drift of a threshold remarkably in a BT test.

[0020] From the above thing, in 300 - 750 ** and TFT typically produced by processing of the temperature requirement of 300 - 650 **, adhesion with a glass substrate is good and a reliable ground film is required.

[0021]

[Problem(s) to be Solved by the Invention] Invention indicated on these specifications solves the above-mentioned problem, prevents diffusion of the impurity from a glass substrate, and offers the technology which forms the ground film which gives high reliability to TFT. Furthermore, let it be a technical problem to give the protective coat-role which prevents the contamination from the circumference to a gate insulator layer and a layer insulation film, and to protect the channel formation field which is the maximum critical area of TFT.

[0022]

[Means for Solving the Problem]

[0023] Having the insulating thin film formed on the glass substrate which one of the invention indicated on these specifications is an insulated-gate type electric field effect semiconductor device, and has an insulating front face, the aforementioned insulating thin film is SiOX Ny. It is characterized by being the thin film shown.

[0024] Above SiOX Ny The energy band gap is 5.3 - 7.0 electronu volt, specific inductive capacity is 4-6, and the thin film (it is hereafter written as a SiON film) shown is characterized by x and y filling $0 < x < 2$, and $0 < y < 4/3$.

[0025] What is necessary is to be able to change Above x and y according to production conditions, and just to set them up in accordance with operation aspect. Moreover, the composition needs to contain N 1×10^{19} to $1 \times 10^{21} \text{cm}^{-3}$. Moreover, when H is contained 1×10^{20} to $1 \times 10^{22} \text{cm}^{-3}$, it is convenient for carrying out termination of the uncombined hand of the silicon film which constitutes a barrier layer, and improving crystallinity.

[0026] Moreover, if a crawl silane or a JIKURORU silane is used as material gas in case a SiON film is formed, it is also possible to add chlorine in a film.

[0027] N (SiN combination) contained in the film prevents the drift of alkali-metal ion (Na, K, etc.) or heavy-metal ion (Fe, nickel, Co, etc.), and the SiON film with the above composition stops that an impurity carries out outside diffusion (outdiffusion) from a glass substrate to a device. Moreover, chlorine has the effect which neutralizes Na ion and Fe ion as NaCl or FeCl.

[0028] Of course, this technology can be applied when [all] forming a thin film device on a glass substrate.

[0029] Here, the result of the BT test at the time of using a SiON film as a ground film is shown in drawing 3. The measuring method of a TFT property is the same through drawing 1 -3.

[0030] It can check that the shift of a threshold is improved clearly from the result at the time of using the SiON film shown by drawing 3 as compared with the case of drawing 1 and drawing 2 using the TEOS system oxidization silicon film as a ground film.

[0031] Moreover, it can check that the sub threshold level coefficient S is small when the result of - BT test is seen, and the state of a barrier layer / gate insulator layer interface is also good.

[0032] In addition, the adhesion of a ground film and a silicon film is sharply improvable by preparing the thin oxidization silicon membrane layer of 10 - 200 ** between a ground SiON film and the silicon film which constitutes a barrier layer.

[0033] In the barrier layer which other invention indicated on these specifications is insulated-gate type electric field effect semiconductor devices, and consists of silicon films, the channel formation field of this barrier layer is set to the bottom and bottom, and it is SiOX Ny. It is characterized by being surrounded by the thin film shown.

[0034] A channel formation field is SiOX Ny at the bottom and/or bottom. I hear that the ground film and the gate insulator layer are formed by the SiON film in the case of a planar type or stagger type TFT as it is in contact with the thin film shown, and it is.

[0035] Since the SiON film used by this invention is the so-called oxidization silicon film, a use use is not what was restricted to the ground film. For example, the following things are clarified by these people as an effect at the time of using a SiON film as a gate insulator layer.

[0036] (1) it is hard to carry out an electrostatic discharge with static electricity -- (2) -- thing [0037 which a metal component cannot diffuse easily from the gate electrode containing the being [hard to diffuse the ion in existing / a charge trapping center / easily /-in the interior (3) barrier layer in a gate insulator layer / it] (4) metallic-material component --] Therefore, the structure which puts a channel formation field by the ground film and the gate insulator layer is very useful in the meaning which raises the reliability of TFT.

[0038] The structure which forms the thin oxidization silicon film of 10 - 200 ** in a ground film front face and a barrier-layer front face, wraps a channel formation field in an oxidization silicon film, and puts it especially by the ground film which consists of a SiON film further, and the gate insulator layer is effective.

[0039] By doing so, since the state of a barrier layer / gate insulator layer interface is improved, the threshold of TFT serves as the 0V neighborhood, and n-ch/p-chTFT can be made into no MARIOFU.

[0040] The channel formation field which consists of the aforementioned structure in structure with the gate insulator layer

which other invention indicated on these specifications is insulated-gate type electric field effect semiconductor devices, has the barrier layer which consists of silicon films, and was formed in contact with this barrier layer is SiOXNy about the bottom and/or bottom. It is characterized by being surrounded by the thin film shown.

[0041] I hear that the channel formation field which includes a gate insulator layer in the case of a planar type, a reverse planar type, a stagger type, and reverse stagger type TFT is surrounded with the ground film and the layer insulation film, and the main point of this invention has it.

[0042] Namely, it aims at protecting the channel formation field which is the maximum critical area of TFT from the impurity which invades from the exterior.

[0043]

[Function] According to this invention, N (SiN combination) contained in the SiON film prevents the drift of alkali-metal ion (Na, K, etc.) or heavy-metal ion (Fe, nickel, Co, etc.), and the duty which stops that an impurity is spread from the exterior to a device is achieved.

[0044] That is, it becomes possible to produce TFT with the high reliability which can be equal also to an accelerated test like a BT test.

[0045]

[Example]

[Example 1] this example is related with the production process of the TFT (TFT) which used the SiON film as a ground film. The production process of TFT using this invention is shown in drawing 4.

[0046] First, the glass substrate 401 which has an insulating front face is prepared. As a glass substrate, Corning 7059 and said 1737 substrates are typical. Of course, it does not interfere by the quartz substrate, either. Corning 7059 substrates are used in this example.

[0047] Next, it is a SiON film as a ground film 402 500 ** -1.5 It forms in the thickness of mum. Although 5000A or less is sufficient in considering optimization, in consideration of reliability, 1000-5000A thickness is desirable.

[0048] The membrane formation conditions of this SiON film are as follows.

RF power 200W quantity of gas flow SiH4:10SCCM N2 O: 200SCCM gas pressure 0.3torr membrane formation temperature 350 - 400 ** inter-electrode distance 25mm (in the case of parallel monotonous type)

Membrane formation rate 1000A/min [0049] A thing with a small etching rate with a membrane formation speed quick [the SiON film formed on this condition] and is the feature. The result compared with other TEOS system oxidization silicon films is shown in Table 1.

[0050]

[Table 1]

下地膜の種類	成膜レート (Å/min)	エッチングレート (Å/min)
第1のTEOS膜	~1200	4500~4600
第2のTEOS膜	~150	1900~2000
SION膜	~1000	900~1000
ポリ酸化珪素膜	~150	800~900

[0051] I hear that that membrane formation speed is quick has a good throughput, and it has it, I hear that that an etching rate is small has precise membraneous quality, and it has it. Therefore, he can understand that the SiON film is most excellent in the point that an etching rate is small, quickly [membrane formation speed].

[0052] In addition, although formation of the ground film 402 was depended on the plasma CVD method for impressing a RF (13.56MHz) in this example, gaseous-phase methods, such as the LPCVD method, optical CVD, and the plasma CVD method for impressing pulse shape, can be used for others.

[0053] Next, although the thin oxidization silicon film 403 is formed in the front face of the ground film 402, this oxidization silicon film 403 can be continuously formed from formation of the ground film 402.

[0054] In case the ground film 402 is formed in this example, for [of the last] 1 - 10 seconds is O2 to material gas. It adds. O2 An addition is 1 - 20% of N2 O. It adjusts so that it may become. Then, it sets in plasma and is Si and O2. Since the reaction is quick, near the front face of a ground film, the thin oxidization silicon film 403 of 10 - 200 ** is formed.

[0055] Moreover, formation of the thin oxidization silicon film 403 is O2 after forming the ground film 402. It is good also by the method of performing processing by plasma.

[0056] Thus, the formed thin oxidization silicon film 403 gives the effect which raises adhesion with the silicon film behind formed on the ground film 402.

[0057] Next, an amorphous silicon film with a thickness of 500A which is not illustrated is formed by the plasma CVD method or reduced pressure heat CVD, and it crystallizes by the suitable crystallization method. Also in heating, this crystallization is good also by irradiation of a laser beam.

[0058] Next, patterning of the crystalline silicon film which crystallized the aforementioned amorphous silicon film and was obtained is carried out, and the semiconductor layer 404 of the shape of an island which constitutes a barrier layer is formed.

[0059] Next, plasma treatment by the following conditions is performed to the island-like semiconductor layer 404, and the thin oxidization silicon film 405 is formed.

RF power 200W quantity of gas flow H₂:100SCCM O₂ : 100SCCM gas pressure 0.3torr processing temperature 350 - 400 ** inter-electrode distance 25mm (in the case of parallel monotonous type)

Processing time 10sec -5min[0060] H₂ O₂ You may use separately and it is H₂ previously. Plasma treatment is performed and it is O₂ after that. You may perform plasma treatment to depend. Moreover, you may be the reverse.

[0061] The front face of the island-like semiconductor layer 404 is cleaned by this plasma treatment. And since the thin oxidization silicon membrane layer formed in the pure state exists in a barrier layer / gate insulator layer interface, interface level is reduced sharply. Therefore, the threshold of TFT serves as the 0V neighborhood, and can make p-ch/n-chTFT no MARIOFU.

[0062] Furthermore, the display nonuniformity at the time of change of the threshold of TFT becoming small and using the amount of C (carbon) of a barrier layer / gate insulator layer interface for the pixel section of a liquid crystal display, since it can decrease by 1 figure can be stopped.

[0063] Moreover, H₂ Since hydrogen termination of the uncombined hand in a barrier layer is carried out by plasma, the crystallinity of a barrier layer improves.

[0064] Next, the oxidization silicon film 406 which functions as a gate insulator layer later is formed in the thickness of 1500Å. Although this gate insulator layer 406 may be a SiON film and a silicon nitride film, in order to raise reliability more, it is desirable to use a SiON film.

[0065] What is necessary is just to form on the same membrane formation conditions as a ground film, if a SiON film is used as a gate insulator layer 406.

[0066] Next, the film 407 which consists of material which makes aluminum or aluminum a principal component is formed in the thickness of 4000Å. This aluminum film 407 functions as a gate electrode later.

[0067] Next, anodic oxidation is performed by using the aluminum film 407 as an anode plate in an electrolyte. As an electrolyte, aqueous ammonia neutralizes the ethylene glycol solution of 3% of tartaric acid, and what was adjusted to PH=6.92 is used. Moreover, it is processed as 5mA of Chemicals current, and attainment voltage 10V, using platinum as cathode.

[0068] In this way, the precise oxide film on anode 408 formed has the effect which raises adhesion with a photoresist behind. Moreover, the thickness of an oxide film on anode 408 is controllable by controlling voltage impression time. (Drawing 4 (A))

[0069] In this way, if the state of drawing 4 (A) is acquired, patterning of the aluminum film 407 will be carried out, and the gate electrode which is not illustrated will be formed.

[0070] Next, 2nd anodic oxidation is performed and the porous oxide film on anode 409 is formed. An electrolyte is made into 3% of oxalic acid solution, and is processed by using platinum as cathode as 2-3mA of Chemicals current, and attainment voltage 8V.

[0071] At this time, anodic oxidation advances in the parallel direction to a substrate. Moreover, the length of the porous oxide film on anode 409 is controllable by controlling voltage impression time.

[0072] Furthermore, after the ablation liquid of exclusive use removes a photoresist, 3rd anodic oxidation is performed and the state of drawing 4 (B) is acquired.

[0073] At this time, an electrolyte neutralizes the ethylene glycol solution of 3% of tartaric acid with aqueous ammonia, and uses what was adjusted to PH=6.92. And it is processed as 5-6mA of Chemicals current, and attainment voltage 100V, using platinum as cathode.

[0074] under the present circumstances, the oxide film on anode 410 formed -- very much -- precision -- and it is firm Therefore, it has the effect of protecting the gate electrode 411 from the damage produced at back processes, such as a doping process.

[0075] Next, an impurity is injected into the island-like semiconductor layer 405 by the ion doping method. If N channel type TFT is produced and P channel type TFT will be produced for P (Lynn) as an impurity, B (boron) will be used as an impurity.

[0076] For example, pouring of P (Lynn) is 5×10^{15} atom / [60-90kV of acceleration voltage, a dose 0.2 -] cm². It carries out. At this example, they are 80kV of acceleration voltage, and dose 1×10^{15} atom / cm² about pouring of P (Lynn). It carries out.

[0077] Then, the fields 412 and 413 where the gate electrode 411 and the porous oxide film on anode 409 serve as a mask, and serve as the source/drain behind are formed in a self-adjustment target.

[0078] Next, as shown in drawing 1 (C), the porous oxide film on anode 409 is removed, and 2nd doping is performed. In addition, the 2nd pouring of P (Lynn) is 5×10^{14} atom / [60-90kV of acceleration voltage, a dose 0.1 -] cm². It carries out. At this example, they are 80kV of acceleration voltage, and dose 1×10^{14} atom / cm². It carries out.

[0079] Then, the gate electrode 411 serves as a mask and the low of high impurity concentration and the low concentration impurity ranges 414 and 415 are formed in a self-adjustment target as compared with the source field 412 and the drain field 413.

[0080] Simultaneously, as for directly under [of the gate electrode 411], the field 416 where it functions as a channel of TFT

since an impurity is not poured in at all is formed in a self-adjustment target.

[0081] Thus, the low concentration impurity range (or LDD field) 415 formed has the effect which suppresses that high electric field are formed between the channel field 416 and the drain field 413.

[0082] Next, it is a KrF excimer laser 200 - 300 mJ/cm² By irradiating with an energy density, P (Lynn) by which the ion implantation was carried out is activated. Moreover, also by heat annealing of 300 -450 °C*2hr, activation is good and may use laser annealing and heat annealing together.

[0083] Next, as shown in drawing 4 (D), an oxidization silicon film is formed in the thickness of 1 micrometer by the plasma CVD method as a layer insulation film 417. Of course, you may use other insulating coats, such as a silicon nitride film and an organic nature resin.

[0084] Next, a contact hole is formed. First, the layer insulation film 417 is punctured using buffer fluoric acid as a procedure, the gate insulator layer 406 is ~~*****ed~~ by buffer fluoric acid as it is, and the source / drain section contact hole is completed.

[0085] Subsequently, an oxide film on anode 410 is ~~*****ed~~ using the chromium mixed-acid solution which consists of composition which mixed a chromic acid, an acetic acid, phosphoric acid, and the nitric acid, and a gate polar-zone contact hole is completed. [0086] Thus, if the gate insulator layer 406 is etched previously, since the oxide film on anode 410 is excellent in buffer-proof fluoric acid nature, it can protect the gate electrode 411. Moreover, a chromium mixed-acid solution hardly ~~*****s~~ the front face of the source field 412 and the drain field 413.

[0087] If formation of a contact hole is completed, the wiring electrodes 418, 419, and 420 will be formed and annealing processing of 350 degree-C*2hr will be performed in hydrogen atmosphere.

[0088] The TFT shown in drawing 4 (D) is produced through the above process.

[0089] TFT shown in drawing 4 (D) can stop that prevent the drift of alkali-metal ion (Na, K, etc.) or heavy-metal ion (Fe, nickel, Co, etc.), and an impurity is spread from a glass substrate to a device by using a SiON film as a ground film.

[0090] Moreover, the adhesion of the ground film 402 and the island-like semiconductor layer 404 improved by having formed the thin oxidization silicon film 403 in the front face of the ground film 402.

[0091] Moreover, the state of a barrier layer / gate insulator layer interface has been improved by having formed the thin oxidization silicon film 405 in the front face of the island-like semiconductor layer 404, the threshold of TFT was able to become the 0V neighborhood, and p-ch/n-chTFT was able to be made into no MARIOFU. Furthermore, it has checked decreasing the amount of C (carbon) of a barrier layer / gate insulator layer interface by 1 figure as a result of SIMS analysis. Therefore, change of the threshold of TFT was able to become small and the display nonuniformity at the time of using it for the pixel section of a liquid crystal display was able to be stopped.

[0092] [Example 2] this example is related with the production process of the TFT (TFT) of the structure which put the semiconductor layer and the gate insulator layer by the SiON film. Since the production process of TFT by this example is the same as an example 1, it explains by making drawing 4 reference.

[0093] First, the glass substrate 401 which has an insulating front face is prepared. Corning 7059 and said 1737 substrates are used in this example.

[0094] Next, SiON is formed in the thickness of 2000A as a ground film 402. Since it explained to the example 1 in detail, the membrane formation conditions of this SiON film are omitted here.

[0095] An amorphous silicon film with a thickness of 500A which moreover is not illustrated is formed by the plasma CVD method or reduced pressure heat CVD, and it crystallizes by the suitable crystallization method. Also in heating, this crystallization is good also by irradiation of a laser beam.

[0096] Next, patterning of the crystalline silicon film which crystallized the aforementioned amorphous silicon film and was obtained is carried out, and the semiconductor layer 403 of the shape of an island which constitutes a barrier layer is formed.

[0097] The oxidization silicon film 404 which moreover functions as a gate insulator layer later is formed in the thickness of 1500A. Although this gate insulator layer 404 may be a SiON film and a silicon nitride film, in order to raise reliability more, it is desirable to use a SiON film.

[0098] What is necessary is just to form on the same membrane formation conditions as a ground film, if a SiON film is used as a gate insulator layer 404.

[0099] Then, the state of drawing 4 (C) is acquired according to the same process as an example 1.

[0100] Next, as shown in drawing 4 (D), a SiON film is formed in the thickness of 1 micrometer as a layer insulation film 415. Membrane formation conditions are the same as the membrane formation conditions of the ground SiON film shown in the example 1.

[0101] Then, TFT as shown in drawing 4 (D) is produced by the same process as an example 1.

[0102] TFT produced by this example not only presses down the impurity from a glass substrate, but has the effect of also preventing the impurity out of the atmosphere.

[0103] [Example 3] this example is related with the production process of TFT using the polycrystal silicon film as a gate electrode in examples 1 and 2. The production process of the TFT (TFT) using this invention is shown in drawing 5.

[0104] First, the glass substrate 501 which has an insulating front face is prepared. Corning 7059 and said 1737 substrates are used in this example.

[0105] Next, SiON is formed in the thickness of 2000A as a ground film 502. Since the example 1 showed in detail, the membrane formation conditions of this SiON film are omitted here.

[0106] An amorphous silicon film with a thickness of 500A which moreover is not illustrated is formed by the plasma CVD

method or reduced pressure heat CVD, and it crystallizes by the suitable crystallization method. Also in heating, this crystallization is good also by irradiation of a laser beam.

[0107] Next, patterning of the crystalline silicon film which crystallized the aforementioned amorphous silicon film and was obtained is carried out, and the semiconductor layer 503 of the shape of an island which constitutes a barrier layer is formed.

[0108] The SiON film 504 which moreover functions as a gate insulator layer later is formed in the thickness of 1500Å. The formation method of this gate insulator layer 504 is the same as that of the membrane formation conditions of the above-mentioned ground SiON film 502.

[0109] Next, the polycrystal silicon film 505 is formed in the thickness of 4000Å by heat CVD. This polycrystal silicon film is added so that it may have conductivity beforehand at the time of membrane formation and may become the concentration of $1 \times 10^{20} - 1 \times 10^{21} \text{ cm}^{-3}$ about P (Lynn). Drawing 5 (A)

[0110] Subsequently, patterning of this polycrystal silicon film 505 is carried out, and it is $\text{CF}_4 + \text{O}_2$. Plasma etching by system gas is performed. In this isotropic etching, the selection ratio with the gate insulator layer 504 is about ten.

[0111] This isotropic etching is the polycrystal silicon film 505 to a longitudinal direction 0.1-1.0 It continues until it mums. Deletes. However, the gate insulator layer 504 also needs to take *****ing gradually into consideration.

[0112] In this way, the polycrystal silicon film 507 which functions as a gate electrode as shown in drawing 5 (B) is formed. In that case, since it utilizes at the following process, it leaves the photoresist 506 used as a mask.

[0113] Next, an impurity is injected into the island-like semiconductor layer 503 by the ion doping method. If N channel type TFT is produced and P channel type TFT will be produced for P (Lynn) as an impurity, B (boron) will be used as an impurity.

[0114] For example, pouring of P (Lynn) is $5 \times 10^{15} \text{ atom} / [60-90 \text{ kV of acceleration voltage, a dose } 0.2 -] \text{ cm}^2$. It carries out. At this example, they are 80kV of acceleration voltage, and dose $1 \times 10^{15} \text{ atom} / \text{cm}^2$ about pouring of P (Lynn). It carries out.

[0115] Then, the fields 508 and 509 where a photoresist 506 serves as a mask and serves as the source/drain behind are formed in a self-adjustment target.

[0116] Next, as shown in drawing 5 (C), a photoresist 506 is removed and 2nd doping is performed. In addition, the 2nd pouring of P (Lynn) is $5 \times 10^{14} \text{ atom} / [60-90 \text{ kV of acceleration voltage, a dose } 0.1 -] \text{ cm}^2$. It carries out. At this example, they are 80kV of acceleration voltage, and dose $1 \times 10^{14} \text{ atom} / \text{cm}^2$. It carries out.

[0117] Then, the gate electrode 507 serves as a mask and the low of high impurity concentration and the low concentration impurity ranges 510 and 511 are formed in a self-adjustment target as compared with the source field 508 and the drain field 509.

[0118] Simultaneously, as for directly under [of the gate electrode 507], the field 512 where it functions as a channel of TFT since an impurity is not poured in at all is formed in a self-adjustment target.

[0119] Thus, the low concentration impurity range (or LDD field) 511 formed has the effect which suppresses that high electric field are formed between the channel field 512 and the drain field 509.

[0120] Next, as shown in drawing 5 (D), an oxidization silicon film is formed in the thickness of 1 micrometer by the plasma CVD method as a layer insulation film 513. Under the present circumstances, it is still more effective if a SiON film is used as a layer insulation film 513. Of course, you may use other insulating coats, such as a silicon nitride and an organic nature resin.

[0121] Next, a contact hole is formed and the wiring electrodes 514, 515, and 516 are formed. And annealing processing of 350 degree-C2hr is performed in hydrogen atmosphere, and TFT as shown in drawing 5 (D) is completed.

[0122]

[Effect of the Invention] By using a SiON film as a ground film, the drift of alkali-metal ion (Na, K, etc.) or heavy-metal ion (Fe, nickel, Co, etc.) was prevented, and it was able to stop that an impurity was spread from a glass substrate to a device.

[0123] Moreover, the adhesion of the ground film 402 and the island-like semiconductor layer 404 improved by having formed the thin oxidization silicon film 403 in the front face of the ground film 402.

[0124] Moreover, the state of a barrier layer / gate insulator layer interface has been improved by having formed the thin oxidization silicon film 405 in the front face of the island-like semiconductor layer 404, the threshold of TFT was able to become the 0V neighborhood, and p-ch/n-chTFT was able to be made into no MARI OFU. Moreover, since [this] hydrogen termination was carried out in process, the crystallinity of a barrier layer improved.

[0125] Furthermore, it became clear that the amount of C (carbon) of a barrier layer / gate insulator layer interface decreases by 1 figure by having formed the thin oxidization silicon film 405 in the front face of the island-like semiconductor layer 404. Therefore, change of the threshold of TFT was able to become small and the display nonuniformity at the time of using it for the pixel section of a liquid crystal display was able to be stopped.

[0126] Moreover, it was checked by wrapping a channel formation field in a SiON film that the impurity out of the atmosphere can also be prevented.

[0127] It became possible to produce TFT which has the high reliability which can be equal also to an accelerated test like a BT test by these remedies by this invention.